

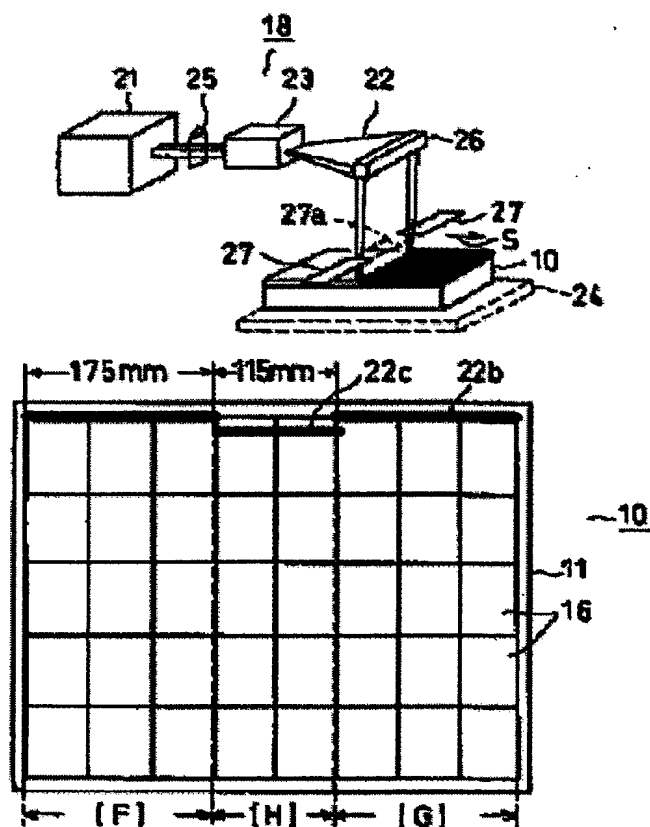
LASER ANNEALING DEVICE AND MANUFACTURE OF POLY CRYSTALLINE SEMICONDUCTOR FILM

Patent number: JP11354463
Publication date: 1999-12-24
Inventor: FUJIMURA TAKASHI; KAWAHISA YASUTO; MIHASHI HIROSHI; MATSUURA YUKI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: *H01L21/20; H01L21/268; H01L21/336; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L21/268; H01L21/20; H01L21/336; H01L29/786*
- european:
Application number: JP19980155892 19980604
Priority number(s): JP19980155892 19980604

Report a data error here

Abstract of JP11354463

PROBLEM TO BE SOLVED: To prevent the generation of the overlap area of line beams inside a panel substrate on a large area substrate, to uniformly poly-crystallize the entire surface of an amorphous semiconductor film on the large area substrate, to improve the display quality of a liquid crystal display element, and to improve a production yield at the time of scanning the line beams of a laser for plural times and laser annealing the amorphous semiconductor film on the large area substrate. **SOLUTION:** A slit device 27 is provided between a converging lens 26 and a stage 24 in an excimer laser annealing device 18. In this case, after adjusting the length of the line beams 22 (22b and 22c) for irradiating the large area substrate 10 so as to be the integral multiple of the panel substrate 16, the large area substrate 10 is scanned for the plural times. Thus, the entire surface of the amorphous semiconductor film 14 is uniformly crystallized without generating the overlap area of the line beams 22 inside the panel substrate 16.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354463

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 21/268

H 0 1 L 21/268

J

21/20

21/20

29/786

29/78

6 2 7 G

21/336

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平10-155892

(22) 出願日

平成10年(1998)6月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 藤村 尚

埼玉県深谷市幡羅町一丁目9番2号 株式会社東芝深谷電子工場内

(72) 発明者 川久 慶人

埼玉県深谷市幡羅町一丁目9番2号 株式会社東芝深谷電子工場内

(72) 発明者 三橋 浩

埼玉県深谷市幡羅町一丁目9番2号 株式会社東芝深谷電子工場内

(74) 代理人 弁理士 大胡 典夫 (外1名)

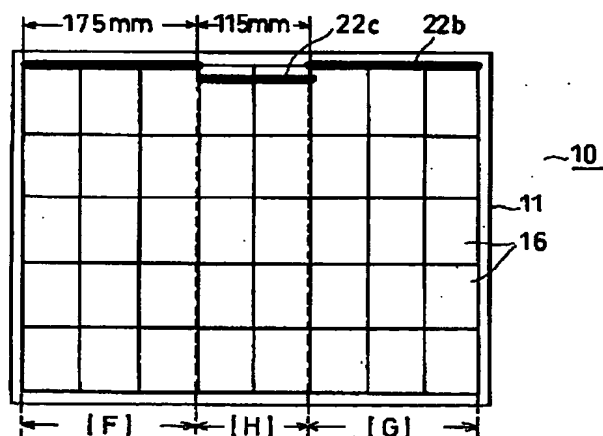
最終頁に続く

(54) 【発明の名称】 レーザアニール装置及び多結晶半導体膜の製造方法

(57) 【要約】

【課題】 レーザーのラインビームを複数回走査して大面積基板上的の非晶質半導体膜をレーザアニールする時に、大面積基板上的のパネル基板内にラインビームの重なり領域が生じるのを防止し、大面積基板上的の非晶質半導体膜全面を均質に多結晶化して、液晶表示素子の表示品位向上及び生産歩留まりの向上を図る。

【解決手段】 エキシマレーザアニール装置18の、集光レンズ26からステージ24に達する間にスリット装置27を設け、大面積基板10に照射されるラインビーム22の長さをパネル基板16の整数倍に成るよう調整した後大面積基板10を複数回走査する事により、パネル基板16内にラインビーム22の重なり領域を生じる事無く非晶質半導体膜14全面を均質に結晶化する。



【特許請求の範囲】

【請求項 1】 レーザ光を発振する発振手段と、
前記レーザ光をライン状のビームに整形するビーム整形手段と、

前記整形されたライン状のビームの長さを調整する調整手段とを有する事を特徴とするレーザアニール装置。

【請求項 2】 絶縁基板上にてライン状のビームを複数回走査して前記絶縁基板上に堆積される非晶質半導体膜を結晶化する多結晶半導体膜の製造方法において、
前記絶縁基板上に非晶質半導体膜を形成する工程と、
前記ライン状のビームを第 1 の長さで前記非晶質半導体膜に照射する工程と、
前記ライン状のビームを第 2 の長さで前記非晶質半導体膜に照射する工程とを有する事を特徴とする多結晶半導体膜の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、非晶質半導体膜から多結晶半導体膜を得るために、非晶質半導体膜にレーザのライン状のビームを照射するレーザアニール装置及び、多結晶半導体膜の製造方法に関する。

【0002】

【従来の技術】近年、高精細な液晶表示素子のスイッチング素子として、移動度が高く且つ液晶表示素子の駆動も含めた高性能化が可能であることから、多結晶半導体膜であるポリシリコンを半導体層とする多結晶薄膜トランジスタ（以下 p-Si TFT と略称する。）の実用化が進められている。一般に多結晶半導体膜は、非晶質半導体膜にレーザビームを照射して多結晶化するレーザアニール法により形成されている。そして特にレーザビームの長尺化が可能であるエキシマレーザアニール装置を用いてのレーザアニールが多用されている。

【0003】このようなエキシマレーザアニール装置は、従来はエキシマレーザ発振器から発振され、ホモジナイザによりライン状に整形されたラインビームを、光学系により非晶質半導体膜を有する絶縁基板上に集光すると共に、光学系の最終出口と絶縁基板との間にスリットを設けてラインビーム長を目的長さに固定設定し、このラインビームを用いて非晶質半導体の全面もしくは任意の領域をアニールして多結晶半導体を形成していた。

【0004】

【発明が解決しようとする課題】しかしながら上記従来のエキシマレーザアニール装置は、スリットによりラインビーム長が固定長さに設定されてしまい、ラインビームの長さが一定であり、絶縁基板毎あるいは同一絶縁基板内でその長さを変えることが不可能であった。

【0005】一方製造の効率化のため、絶縁基板は、多数の液晶表示素子分のパネル領域をマトリクス状に配列可能となる様大面積化され、このような大面積基板上の非晶質半導体膜をアニールする場合には、ライン長の長

(2)

特開平 11-354463

2

いエキシマレーザビームであっても 1 回の走査では必要領域全面をアニールすることが出来ず、図 7 に示すように、大面積基板 1 上で一定長さのラインビーム 2 を複数回走査させていた。

【0006】このため、大面積基板 1 上にはマトリクス状に配列される任意のパネル領域 3 内にラインビーム 2 が重なる領域 [A] を生じてしまっていた。しかもラインビーム長が固定長さである一方、大面積基板 1 上に形成されるパネル領域 3 のサイズや形状が多様であり、更に 1 枚の大面積基板 1 上に形成されるパネルサイズが複数種ある場合があり、パネル領域 3 内でのラインビーム 2 照射の重なり領域 [A] の形成を避けられなかった。

【0007】この照射の重なり領域 [A] は他の領域よりもラインビーム 2 に走査される回数が多いため結晶化後の結晶粒径、電気的な特性等が異なってしまう、他の領域と特性が異なり、このような多結晶半導体膜を用いて液晶表示パネルを製造すると、領域 [A] に表示ムラを生じ、ひいては液晶表示素子の表示品位の低下を生じ、生産歩留まりを低下するという問題を有していた。

【0008】このため、固定長さのラインビーム 2 に合わせて、大面積基板 1 上の各パネル領域 3 間の間隙を拡大して、表示パネル 3 内にラインビーム 2 が重なる領域 [A] が形成されるのを避ける方法も検討されているが、この方法は、大面積基板 1 を有効に利用出来ず、量産に適さないという新たな問題を生じていた。

【0009】本発明は上記課題を除去するもので、レーザのラインビームを複数回走査して大面積基板をアニールする際に、パネル領域内でのラインビームの重なり領域の発生を防止し、基板の大面積化、基板上のパネル領域の多様化等に拘わらず、大面積基板上にてレーザによるラインビームを均一に照射出来、ひいては均一特性を有する多結晶半導体膜を得る事により良好な表示品位の液晶表示素子を高い歩留まりで得ることが出来るレーザアニール装置及び多結晶半導体の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は上記課題を解決するため、レーザ光を発振する発振手段と、前記レーザ光をライン状のビームに整形するビーム整形手段と、前記整形されたライン状のビームの長さを調整する調整手段とを設けるものである。

【0011】又本発明は上記課題を解決するため、絶縁基板上にてライン状のビームを複数回走査して前記絶縁基板上に堆積される非晶質半導体膜を結晶化する多結晶半導体膜の製造方法において、前記絶縁基板上に非晶質半導体膜を形成する工程と、前記ライン状のビームを第 1 の長さで前記非晶質半導体膜に照射する工程と、前記ライン状のビームを第 2 の長さで前記非晶質半導体膜に照射する工程とを実施するものである。

【0012】そして本発明は上記構成により、絶縁基板

の面積化或いはパネル領域の多様化に拘わらず絶縁基板上の非晶質半導体膜を均一にアニールする事により、パネル領域内にラインビームの重なり領域を生じる事が無く、均一な多結晶半導体膜を得られ、ひいては表示ムラが無く表示品位の高い多様な液晶表示素子を高い歩留まりで得るものである。

【0013】

【発明の実施の形態】以下本発明を図1乃至図6に示す実施の形態を参照して説明する。10は400mm×500mmの無アルカリガラスからなる絶縁基板11上にアンダーコート層12として窒化シリコン(SiNx)膜12a及び酸化シリコン(SiOx)膜12bを成膜したのち、非晶質半導体膜14を50nm成膜して成り、この非晶質半導体膜14をアニールし、多結晶半導体膜(図示せず)を形成後、p-Si TFT液晶表示装置(図示せず)を40面分作製可能となるよう40枚パネル基板16をマトリクス状のに配列して成る大面積基板である。

【0014】18は、絶縁基板11上に多結晶半導体膜(図示せず)を得るために、非晶質半導体膜14をレーザアニールするエキシマレーザアニール装置であり、エキシマレーザビーム20を発振するエキシマレーザ発振器21、エキシマレーザ発振器21から発振されるエキシマレーザビーム20を、ラインビーム22に整形するホモジナイザ23、ラインビーム22を走査移動可能なステージ24上にセットされる絶縁基板11上に集光する光学系である集光レンズ26を有している。

【0015】又集光レンズ26からステージ24に達する間には、調整手段でありラインビーム22の長さを変動可能に調整する様、窓27aの長さを調整可能なスリット装置27が設けられている。

【0016】次にエキシマレーザアニール装置18により絶縁基板11上の非晶質半導体膜14をアニールし、多結晶半導体膜(図示せず)を形成する方法について述べる。

【0017】(方法1) 先ずエキシマレーザアニール装置18のステージ24に大面積基板10を載置する。次いで、非晶質半導体膜14に照射するラインビーム22aの長さが、大面積基板10のパネル基板16の2枚分の長さである115mmと成るよう、スリット装置27の窓27aの長さを調節する。この状態で、ステージ24を矢印s方向に走査移動しながら、図4に示す大面積基板10の領域[B]の非晶質半導体膜14を、ラインビーム22aにてアニールし、多結晶半導体膜に結晶化する。同様にしてステージ24を矢印s方向に走査移動しながら図4に示す大面積基板10の領域[C]、

[D]、[E]の非晶質半導体膜14を順次アニールし多結晶化して、大面積基板10全面に均質な多結晶半導体膜を形成する。

【0018】即ち、エキシマレーザアニール装置18の

ラインビーム22aにより400mm×500mmの大面積基板10全面を4回に分けて走査して絶縁基板11上に多結晶半導体膜を形成する事となる。

【0019】この様にして得られた多結晶半導体膜を有する大面積基板10を用い、p-Si TFT及び画素電極(図示せず)を有するアレイ基板を形成し、このアレイ基板を用いて液晶表示素子(図示せず)を形成したところ、線欠陥・点欠陥などは確認されず、また80℃の雰囲気中で動作させる信頼性試験においても表示ムラを生じる事無く高い表示品位を得られた。

【0020】次に、(方法1)で用いたエキシマレーザアニール装置18により、同じサイズである400mm×500mmの大面積基板10の走査回数を低減して、非晶質半導体膜14を結晶化する場合について述べる。

【0021】(方法2) 先ず(方法1)と同様にエキシマレーザアニール装置18のステージ24上に大面積基板10を載置する。次いで、非晶質半導体膜14に照射するラインビーム22bの長さを、大面積基板10のパネル基板16の3枚分の長さである175mmと成るよう、スリット装置27の窓27aの長さを調節する。この状態で、ステージ24を矢印s方向に走査移動しながら、図5に示す大面積基板10の領域[F]の非晶質半導体膜14を、ラインビーム22bにてアニールし、多結晶半導体膜に結晶化する。同様にしてステージ24を矢印s方向に走査移動しながら図5に示す大面積基板10の領域[G]の非晶質半導体膜14をアニールして、多結晶半導体膜に結晶化する。

【0022】次に非晶質半導体膜14に照射するラインビーム22cの長さを、大面積基板10のパネル基板16の2枚分の長さである115mmと成るよう、スリット装置27の窓27aの長さを調節し、再度ステージ24を矢印s方向に走査移動しながら、図5に示す大面積基板10の領域[H]の非晶質半導体膜14を、ラインビーム22cにてアニールし、大面積基板10全面に均質な多結晶半導体膜を形成する。

【0023】即ち、エキシマレーザアニール装置18のラインビーム22b、22cにより400mm×500mmの大面積基板10を3回に分けて走査して絶縁基板11上に多結晶半導体膜を形成する事となる。

【0024】この様にして得られた多結晶半導体膜を有する大面積基板10を用い、(方法1)と同様に液晶表示素子(図示せず)を形成したところ、(方法1)と同様、線欠陥・点欠陥などは確認されず、また80℃の雰囲気中で動作させる信頼性試験においても表示ムラを生じる事無く高い表示品位を得られた。尚、この(方法2)により得られる多結晶半導体膜は、特性的には(方法1)と変わらずきわめて良好であり、更には、大面積基板10上の走査回数が3回であり、(方法1)に比し、ラインビーム22の照射時間を3/4に低減出来生産性の一層の向上を図れると共に、エキシマレーザビーム2

0 のショット数も 3 / 4 に低減出来、ガスの交換等のメンテナンス性も向上出来る。

【0025】尚（比較例）として、本実施の形態におけるエキシマレーザアニール装置 18 を用い、図 6 に示すように 400mm×500mm の大面積基板 10 を、165mm のラインビーム 22d にてを 3 回走査して多結晶半導体膜を形成したところ、パネル基板 16 内にラインビーム 22d の重なり領域 [I] を生じ、この様にして得られた多結晶半導体膜を有する大面積基板 10 を用い、液晶表示素子（図示せず）を形成したところ、重なり領域 [I] に点欠陥が多くなり、80℃の雰囲気で作動させる信頼性試験においても線欠陥が発生し、表示品位の低下を来した。

【0026】この様に構成すれば、集光レンズ 26 からステージ 24 に達する間にスリット装置 27 を設け、大面積基板 10 上のパネル基板 16 のサイズにあわせて、ラインビーム 22 の長さをパネル基板 16 の整数倍に成るよう調整して、大面積基板 10 を走査する事により、パネル基板 16 内にアニールの重なり領域を生じる事がなく、絶縁基板全面にわたって均一にアニール出来、結晶粒径、表面凹凸が均一であり、均一特性を有する多結晶半導体膜を容易に製造可能と成る。そしてこのような多結晶半導体膜を用い良好な特性を有する p-Si TFT を得られることから、線欠陥や点欠陥が無く、高い表示品位を有する液晶表示素子を高い生産歩留まりで得ることが可能と成る。又製造時にあつては、大面積基板の有効利用を損なう事無く、多様な表示パネルの要求に対応可能と成る。

【0027】尚本発明は上記実施の形態に限られるものでなく、その趣旨を変えない範囲での変更は可能であつて、例えば調整手段により調整されるラインビームの長さは、基板に形成されるパネル基板のサイズや形状等に応じて任意である。又、基板のサイズ或いは、基板上に形成されるパネル領域の数等も限定されず、基板をラインビームでアニールする際の走査回数や走査方向等も任意である。又エキシマレーザビームの出力や周波数等も任意である。

【0028】

【発明の効果】以上説明したように本発明によれば、絶縁基板上的非晶質半導体膜を結晶化するためエキシマレーザアニール装置のラインビームにて絶縁基板上を複数回走査する際、調整手段によりラインビームの長さを調整可能とする事により、液晶表示素子に用いるパネルの

多様化に拘わらず、絶縁基板上的パネル基板内に、ラインビームが重ねて照射される領域を生じる事がなく、非晶質半導体膜全面を均一にアニール出来、ひいては均質な多結晶半導体膜を容易に得られる。そしてこの均質な多結晶半導体膜を用いる事により表示品位が高い液晶表示素子を高い歩留まりで容易に作製可能と成る。しかもラインビームの重なりを防止するため、従来のように絶縁基板上的パネル基板間の間隙を拡大しなくても良く、設計時、絶縁基板上に無駄な領域を確保する必要も無く、液晶表示素子に用いるパネルの多様化に拘わらず絶縁基板を効率的に使用可能となる。

【図面の簡単な説明】

【図 1】本発明の実施の形態における基板を示す概略平面図である。

【図 2】本発明の実施の形態における基板を示す概略一部断面図である。

【図 3】本発明の実施の形態におけるエキシマレーザアニール装置を示す概略構成図である。

【図 4】本発明の実施の形態における（方法 1）による基板のアニールを示す説明図である。

【図 5】本発明の実施の形態における（方法 2）による基板のアニールを示す説明図である。

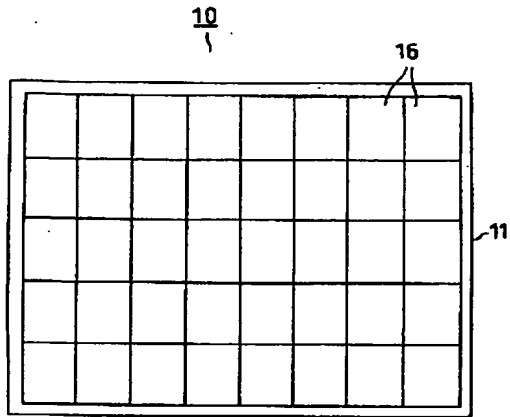
【図 6】本発明の実施の形態における（比較例）による基板のアニールを示す概略説明図である。

【図 7】従来の基板のアニールを示す概略説明図である。

【符号の説明】

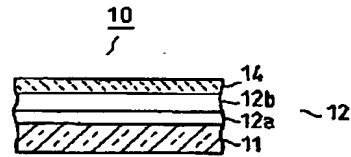
- 10…液晶表示素子
- 11…絶縁基板
- 12…アンダーコート層
- 12a…窒化シリコン膜
- 12b…酸化シリコン膜
- 14…非晶質半導体膜
- 16…パネル基板
- 18…エキシマレーザアニール装置
- 21…エキシマレーザ発振器
- 22…ラインビーム
- 23…ホモジナイザ
- 24…ステージ
- 26…集光レンズ
- 27…スリット
- 27a…窓

【図 1】



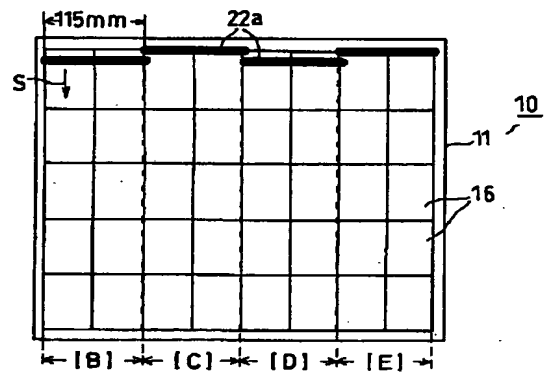
10: 液晶表示素子 11: 絶縁基板 16: パネル基板

【図 2】

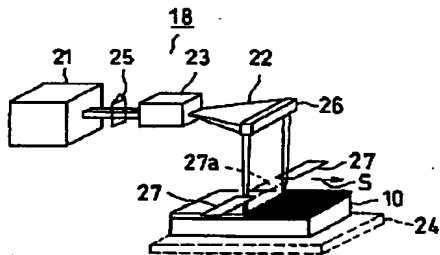


14: 非晶質半導体膜

【図 4】

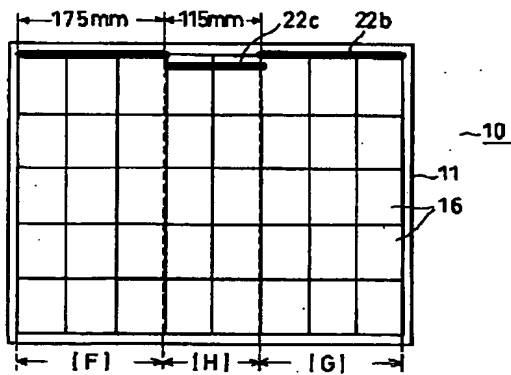


【図 3】

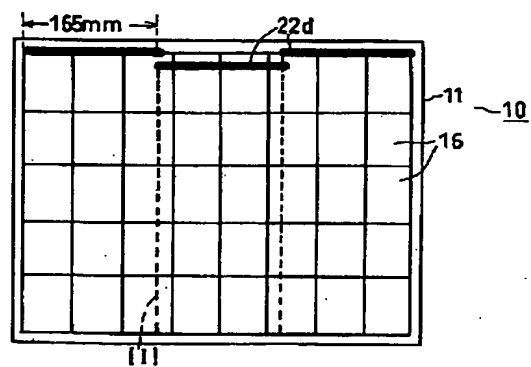


18: エキシマレーザアニール装置 21: エキシマレーザ発振器
22: ラインビーム 23: ホモジナイザ 24: ステージ 25: アッテネータ
26: 集光レンズ 27: スリット 27a: 窓

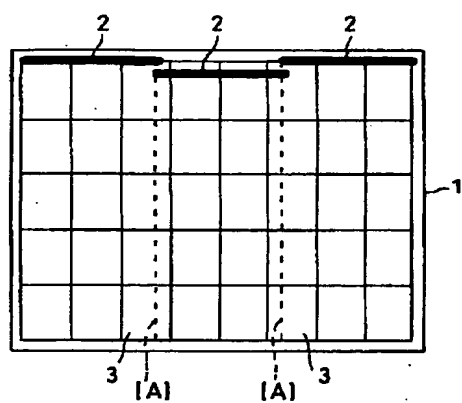
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 松浦 由紀
埼玉県深谷市幡羅町一丁目 9 番 2 号 株式
会社東芝深谷電子工場内